

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053148

(43)Date of publication of application : 23.02.2001

(51)Int.CI.

H01L 21/768

(21)Application number : 11-225044

(71)Applicant : DENSO CORP

(22)Date of filing : 09.08.1999

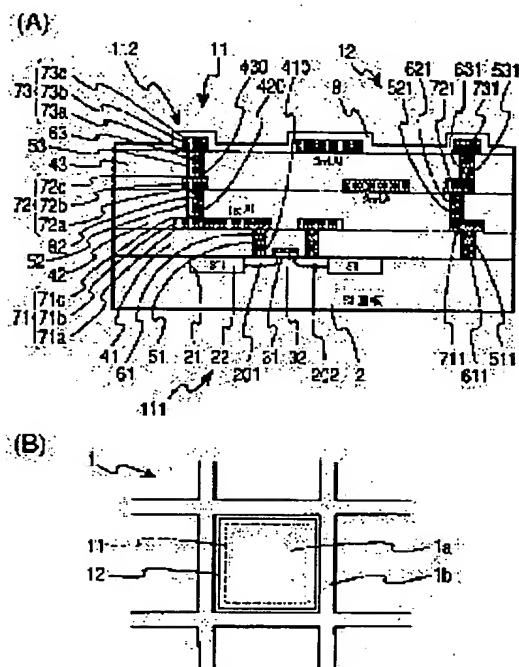
(72)Inventor : ISOBE YOSHIHIKO  
KAWAI HIDETOSHI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To block cracks extending within a chip, from the cutting surface of dicing and water infiltration, before the circuit in the chip of multilayer wiring structure.

**SOLUTION:** Dummy patterns 711 to 731 of the wiring layers 71 to 73 and dummy patterns 611 to 631 of the embedded layers 61 to 63 formed within the dummy patterns 4101 to 4301 of the connecting holes 410 to 430 for interlayer conductivity are formed like a frame surrounding the circuit 11, and these are also laminated as an interlayer insulating film isolating band 12 to stop the extension of crack with the interlayer insulating film isolating band 12. Corrosion-proof close-contact type dummy patterns 511 to 531 for assuring close contact of the embedded layer dummy patterns 611 to 631 to the total range to the interlayer insulation film 43 of the upper most layer from the semiconductor substrate 2 in the connection hole dummy patterns 4101 to 4301 are formed in the interlayer insulation film isolating band 12 as the barrier with respect to moisture.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-53148

(P2001-53148A)

(43)公開日 平成13年2月23日(2001.2.23)

(51)Int.Cl.  
H 01 L 21/768

識別記号

F I  
H 01 L 21/90

テーマコード(参考)  
B 5 F 0 3 3  
D

審査請求 未請求 請求項の数7 OL (全9頁)

(21)出願番号 特願平11-225044

(22)出願日 平成11年8月9日(1999.8.9)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 磯部 良彦

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 河合 秀敏

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(74)代理人 100067596

弁理士 伊藤 求馬

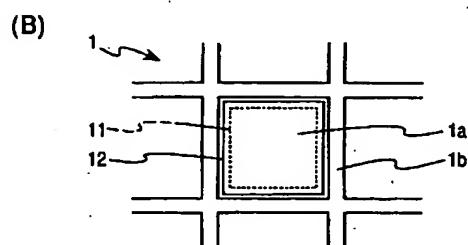
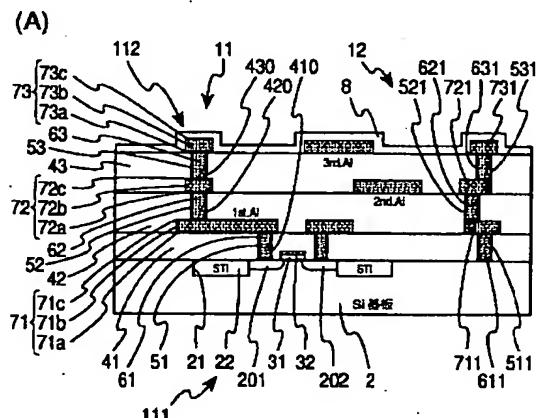
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 多層配線のチップにおいてダイシングの切断面からチップ内部に走るクラックおよび侵入水分を回路部の手前でブロックすることである。

【解決手段】 配線層71～73のダミーパターン71 1～731、層間導通用の接続孔410～430のダミーパターン4101～4301内に形成される埋め込み層61～63のダミーパターン611～631を回路部11を囲み枠状に形成するとともに積層して層間絶縁膜分離帯12となし、層間絶縁膜分離帯12でクラックを止める。層間絶縁膜分離帯12に、半導体基板2から最上層の層間絶縁膜43に到る全範囲に、埋め込み層ダミーパターン611～631を接続孔ダミーパターン4101～4301内に密着せしめる耐蝕性の密着層ダミーパターン511～531を形成し、水分に対するバリアとする。



【特許請求の範囲】

【請求項1】 半導体基板に配置された素子部と、該素子部の上層に積層してなる層間絶縁膜と、各層間絶縁膜の上面にそれぞれ形成された配線層と、各層間絶縁膜を貫通する接続孔内に埋め込まれ素子部と配線層との間および配線層間を導通する埋め込み層とよりなる回路部を有し、該回路部を保護膜により被覆した半導体装置において、上記配線層、上記接続孔のそれぞれに上記回路部の外郭をなすようにダミーパターンを形成し、配線層のダミーパターンと、接続孔のダミーパターン内に形成した上記埋め込み層のダミーパターンとを積層してなる層間絶縁膜分離帯を具備せしめ、かつ、該層間絶縁膜分離帯には、上記埋め込み層を上記接続孔内に密着せしめる耐蝕性の密着層のダミーパターンを、上記半導体基板から最上層の層間絶縁膜の上端に到る全範囲に形成したこととする半導体装置。

【請求項2】 半導体基板に配置された素子部と、該素子部の上層に積層してなる複数の層間絶縁膜と、各層間絶縁膜の上面にそれぞれ形成された配線層と、各層間絶縁膜を貫通する接続孔内に埋め込まれ素子部と配線層との間および配線層間を導通する埋め込み層とよりなる回路部を有し、該回路部を保護膜により被覆した半導体装置において、上記配線層、上記接続孔のそれぞれに上記回路部の外郭をなすようにダミーパターンを形成し、配線層のダミーパターンと、接続孔のダミーパターン内に形成した上記埋め込み層のダミーパターンとを積層してなる層間絶縁膜分離帯を具備せしめ、かつ、少なくとも所定の層間絶縁膜とその下層の配線層のダミーパターンとの間に該配線層ダミーパターンの側壁を被覆するよう別に保護膜を形成するとともに、上記層間絶縁膜分離帯において、少なくとも上記所定の層間絶縁膜より下層側に位置する部分では埋め込み層のダミーパターンをその接続孔のダミーパターン内に密着せしめる耐蝕性の密着層のダミーパターンを、上記半導体基板から上記別の保護膜に到る範囲に形成したことを特徴とする半導体装置。

【請求項3】 請求項2記載の半導体装置において、上記別の保護膜は、半導体基板上から1層目と2層目の層間絶縁膜間において、上記回路部上も被覆するように形成されている半導体装置。

【請求項4】 請求項1または2いずれか記載の半導体装置において、接続孔ダミーパターンに配線層ダミーパターンの内側または外側にはみ出す部分を設け、接続孔ダミーパターンを、上記配線層ダミーパターンの上面とともに下層の層間絶縁膜の上面に達する深さに形成した半導体装置。

【請求項5】 請求項4記載の半導体装置において、上記接続孔ダミーパターンが上記配線層のダミーパターンの内側にのみはみ出す部分を有するように形成された層間絶縁膜と、接続孔ダミーパターンが配線層ダミーパタ

ーンの外側にのみはみ出す部分を有するように形成された層間絶縁膜とを交互に積層せしめた半導体装置。

【請求項6】 請求項1ないし5いずれか記載の半導体装置において、上記ダミーパターンを、上記回路部を囲み枠状に形成した半導体装置。

【請求項7】 請求項1ないし5いずれか記載の半導体装置において、上記ダミーパターンを、上記回路部を囲み飛び石状に形成した半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関する。

【0002】

【従来の技術】 LSI等の半導体装置の製造では、多数のLSIチップを一時に形成するウェハプロセスの後、ダイシング工程において、各LSIチップを画成するスクライブラインに沿ってウェハを切断し、個々のLSIチップに分割される。

【0003】 多層配線構造のLSIにおいては、スクライブラインは、完全平坦化の要請から回路部と同じようにシリコン基板の上に層間絶縁膜が積層する構造となっている。かかる構造の場合、ダイシング工程において、層間絶縁膜に切断面から回路部の方に向かってクラックが発生しやすく、チップ歩留まりが低下する原因となる。

【0004】 かかるクラックを防止するには、ダイシング工程に先立ち、予めスクライブラインの層間絶縁膜を除去しておく方法があるが、工程が複雑化する。そこで、特開平2-188942号公報には、回路部の配線層や、接続孔（コンタクトホールやスルーホール）をパターニングする際に、図10に示すように、一緒に、回路部の外郭をなすようにダミーパターンをパターニングしておき、配線層のダミーパターン921, 922, 923や接続孔への埋め込み層のダミーパターン911, 912, 913が積層してなる層間絶縁膜分離帯を形成して層間絶縁膜901, 902, 903を回路部側とスクライブライン側とに分離することで、クラックが回路部に達するのを防止するようにしたものがある。

【0005】

【発明が解決しようとする課題】 ところで、配線層921～923には、配線材として優れた導電性を有し融点が十分に高いAl等が通常用いられる。また、埋め込み層911～913には、例えばP（プラズマ）-CVDにより成膜したWが用いられ、Wの密着性の向上やP-CVDに対する層間絶縁膜の保護を目的としてTiN等の密着層931～933が形成される。このTiN等は水分に対して耐性があるが、上記Al等は十分な耐性がない。したがって、クラックは阻止することはできても、クラックが配線層ダミーパターンに達したときに水分等の侵入をブロックするのは難しい。

【0006】本発明は上記実情に鑑みなされたもので、クラック防止に加えて水分の侵入等をも好適に防止することのできる半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】請求項1記載の発明では、配線層、層間絶縁膜を貫通する接続孔内に形成した埋め込み層のそれぞれに上記回路部の外郭をなすようにダミーパターンを形成し、配線層のダミーパターンと埋め込み層のダミーパターンとを積層してなる層間絶縁膜分離帯を具備せしめる。かつ、該層間絶縁膜分離帯には、上記埋め込み層を上記接続孔内に密着せしめる耐蝕性の密着層のダミーパターンを、上記半導体基板から最上層の層間絶縁膜の上端に到る全範囲に形成する。

【0008】層間絶縁膜分離帯に密着層が半導体基板から最上層の層間絶縁膜の上端に到る全範囲に形成され、これが回路部の外郭をなすので、ダイシングによる切断面からの水分等の侵入をブロックすることができる。

【0009】請求項2記載の発明では、配線層、層間絶縁膜を貫通する接続孔内に形成した埋め込み層のそれぞれに上記回路部の外郭をなすようにダミーパターンを形成し、配線層のダミーパターンと埋め込み層のダミーパターンとを積層してなる層間絶縁膜分離帯を具備せしめる。かつ、少なくとも所定の層間絶縁膜とその下層の配線層のダミーパターンとの間に該配線層ダミーパターンの側壁を被覆するように別の保護膜を形成するとともに、上記層間絶縁膜分離帯において、少なくとも上記所定の層間絶縁膜より下層側に位置する部分では埋め込み層のダミーパターンをその接続孔のダミーパターン内に密着せしめる耐蝕性の密着層のダミーパターンを、上記半導体基板から上記別の保護膜に到る範囲に形成する。

【0010】別の保護膜が所定の層間絶縁膜の下層の配線層から下側をカバーする。また、該別の保護膜より下層側の層間絶縁膜分離帯は、上記配線層の直下から半導体基板に到る全範囲を、密着層ダミーパターンが回路部の外郭をなすので素子部は水分等の侵入から十分にブロックされる。

【0011】請求項3記載の発明では、上記別の保護膜は、半導体基板上から1層目と2層目の層間絶縁膜間ににおいて、上記回路部上も被覆するように形成するとよい。

【0012】請求項4記載の発明では、接続孔ダミーパターンに配線層ダミーパターンの内側または外側にはみ出す部分を設け、接続孔ダミーパターンを、上記配線層ダミーパターンの上面とともに下層の層間絶縁膜の上面に達する深さに形成する。

【0013】接続孔ダミーパターンが下層の層間絶縁膜の上面まで達しているので、ここに形成された密着層は配線層ダミーパターンによって途切れることなく上記下層の層間絶縁膜の上面に到る範囲に形成される。接続孔バターニング用の露光マスクの接続孔ダミーパターン部

を違えるだけで工程を追加することなく従来の通常のウェハプロセスにより製造でき、適用が容易である。

【0014】請求項5記載の発明では、上記接続孔ダミーパターンが上記配線層のダミーパターンの内側にのみはみ出す部分を有するよう形成された層間絶縁膜と、接続孔ダミーパターンが配線層ダミーパターンの外側にのみはみ出す部分を有するよう形成された層間絶縁膜とを交互に積層する。

【0015】接続孔ダミーパターンのはみ出し部分が下層の配線層の内側または外側に偏ないので、層間絶縁膜分離帯をコンパクトにすることができる。

【0016】上記ダミーパターンは、請求項6記載の発明のように回路部を囲み枠状に形成することができ、請求項7記載の発明のように上記回路部を囲み飛び石状に形成することができる。

【0017】

【発明の実施の形態】(第1実施形態)図1(A)に本発明を適用したLSIの要部断面を示し、(B)に該LSIのウェハプロセスにおけるウェハの上面を示す。ウェハ1には多数の矩形のチップ1aが形成され、各チップ1aはスクライブライン1bにより画成されている。各チップ1aには、チップ側縁部に沿ってチップ1a側縁から10~100nm後退した位置に、チップ本体部分である回路部11を囲み枠状に層間絶縁膜分離帯12が形成してある。層間絶縁膜分離帯12は後述するように回路部11と一緒に工程の追加なく形成される。

【0018】図1(A)中左側は回路部11であり、図中右側は層間絶縁膜分離帯12である。回路部11は素子部111の上層に配線部112を形成してなる。図例の素子部111は素子分離にSTIが用いられたMOSトランジスタで、半導体基板たるSi基板2の表面にトランジスタ領域を画成するトレンチ21が形成され、これに素子分離酸化膜22が埋設してある。上記トランジスタ領域にはSi基板2の表層にソース201、ドレイン202が形成され、Si基板2の表面に紙面に対して直交方向に帯状にゲート酸化膜31およびゲート電極32が形成してある。ゲート電極32の電圧によりソース201とドレイン202間のチャネル電流を制御する。

【0019】配線部112について説明する。配線部112はチップ全体に複数の層間絶縁膜41, 42, 43が積層し、層間絶縁膜41, 42, 43の上面にはそれぞれ配線層71, 72, 73がバターニングしてある。層間絶縁膜41~43はそれぞれP-TEOS/O<sub>3</sub>-TEOS/P-TEOSの三層の酸化膜であり、各配線層71~73はAlCu層71b, 72b, 73bを上下からTiN/Ti層71a, 72a, 73aとTiN/Ti層71c, 72c, 73cとではさんだサンドイッチ構造となっている。

【0020】配線部112の層間の導通はWプラグを用いる。各層間絶縁膜41~43には接続孔たるコンタク

トホール410、スルーホール420、430が形成しており、コンタクトホール410、スルーホール420、430には、その表面に成膜形成される密着層51、52、53、接続孔410～430に埋め込まれる埋め込み層61、62、63が形成されている。これにより、素子部111の拡散層すなわちソース201、ドレイン202は配線層71と導通し、また、配線層71～73間が導通し、回路が形成される。

【0021】最上層の配線層73の上層にはP-SiNを成膜してなる保護膜8が形成してあり、水分、ナトリウムや重金属等から回路部11を保護している。

【0022】層間絶縁膜分離帯12は、接続孔410～430のダミーパターン4101、4201、4301、(後述する図2～図5参照)に形成された密着層51～53のダミーパターン511、521、531および埋め込み層61～63のダミーパターン611、621、631、ならびに配線層71～73のダミーパターン711、721、731により形成される。接続孔ダミーパターン4101～4301と配線層ダミーパターン711～731とは、互いに略重なるように、かつ回路部11を囲み枠状に形成してあり、回路部11の外郭をなしている。このように、層間絶縁膜分離帯12は、各ダミーパターン511～731により、最下層の層間絶縁膜41から最上層の層間絶縁膜43に到る厚さの積層体をなしており、層間絶縁膜41～43を回路部11側とスクライブライン1b側とに分離している。しかして、ダイシング工程においてスクライブライン1bに沿ってウェハ1を切断し、層間絶縁膜41～43に切断面からクラックが入っても回路部11は保護される。

【0023】また、第2層の接続孔ダミーパターン4102は、第1層の配線層ダミーパターン711の内寸よりも小さく配線層ダミーパターン711の内側にはみ出しておらず、深さが第1層の層間絶縁膜41の上面までである。また、第3層の接続孔ダミーパターン4103は、第2層の配線層ダミーパターン721の外寸よりも大きく配線層ダミーパターン721の外側にはみ出しており、深さが第2層の層間絶縁膜42の上面までである。そして、このみ出し部では、密着層ダミーパターン521、531は下端が下層の層間絶縁膜41、42上面に達しており、密着層ダミーパターン511～531が、回路部11の外周に、Si基板2の上面から最上層の層間絶縁膜43の下面に到る厚さ方向の全範囲をカバーするバリアを形成する。これにより、ダイシング時に発生する上記クラックに沿って層間絶縁膜分離帯12まで水分が達しても、密着層ダミーパターン511～531によってブロックされ、回路部11への侵入は阻止される。

【0024】かかる半導体装置を製造する製造方法について説明する。図2、図3、図4、図5は本半導体装置のウェハプロセスの各過程を示すウェハの断面図である。

る。

【0025】先ず、素子部111が公知のLSIプロセスにより形成される。すなわち、Si基板2の表面にフォトリソグラフィーおよびエッティングにより、トランジスタ領域を画成するトレンチ21を形成し、全面にTEOS等の酸化膜を堆積する。堆積した酸化膜をCMP法により平坦化し、全面エッチバックを行いトレンチ21に埋設した酸化膜22のみを残す。その後、不純物注入によりウェルを形成し、さらにゲート酸化膜となる酸化膜およびゲート電極となるpolysiliconを成膜し、これらをフォトリソグラフィーおよびエッティングによりパターンングしてゲート酸化膜31およびゲート電極32を形成する。

【0026】次いで、不純物注入を行いシリコン基板2のゲート酸化膜31およびゲート電極32の両側位置にソース201、ドレイン202をセルフアラインで形成する。

【0027】次いで配線工程を行う。本半導体装置は3層配線であり(図1)、配線工程は3回行われる。先ず、第1層の層間絶縁膜41を形成し、素子部111(ソース201、ドレイン202、ゲート電極32)との導通をとるため、層間絶縁膜41にこれを貫通するコンタクトホール410を形成する。コンタクトホール410の形成では、回路部11外周のダミーパターン4101と一緒に形成する。コンタクトホールダミーパターン4101は回路部11を囲み枠状に形成される。

【0028】素子部111へのコンタクトはWプラグを用いる。すなわち、ウェハ1全面に密着層となるTiN/Tiを堆積し、次いで埋め込み層となるWを堆積する。W堆積後に全面エッチバックしてコンタクトホール410のみTiN/TiおよびWを残し、密着層51、埋め込み層61を形成する。このときコンタクトホールダミーパターン4101に密着層ダミーパターン511、埋め込み層ダミーパターン611が形成される。

【0029】そして、第1層の配線層となるTiN/TiN/A1Cu、TiN/TiNをこの順に成膜し、これをフォトリソグラフィーおよびエッティングによりパターンングして、A1Cu層71bを上下からTiN/Ti層71a、71cがはさむ第1層の配線層71を形成する。このパターンングで、回路部11外周のダミーパターン711を一緒に形成する。配線層ダミーパターン711は、コンタクトホールダミーパターン4101よりも幅広の枠状で、かつコンタクトホールダミーパターン4101全体をカバーする形状とする(図2の(A))。

【0030】次いで、第2層の配線工程を行う。先ず、3種類の酸化膜を順次堆積し、P-TEOS/O<sub>3</sub>-TEOS/P-TEOSからなる層間絶縁膜42を成膜し、CMPにより平坦化する(図2(B))。

【0031】次いで、層間絶縁膜42に第1層の配線層

71との導通をとるため、層間絶縁膜42にこれを貫通するスルーホール420を形成する。スルーホール420の形成では、回路部11外周のダミーパターン4201と一緒に形成する。スルーホールダミーパターン4201は回路部11を囲む枠状に形成される。スルーホールダミーパターン4201は、第1層の配線層71の幅よりもやや狭幅で、その内寸は配線層ダミーパターン711よりも小さくしてあり、配線層ダミーパターン711の内側へはみ出す部分を有している。したがってスルーホールダミーパターン4201を形成するための層間絶縁膜42のエッチングで、下層の層間絶縁膜41の上面および配線層ダミーパターン711の内側の側面が露出する(図2の(C))。なお、配線層71の厚さの分、配線層71の上面は長くエッティングガスにさらされることになるが、通常のプロセスで用いられる選択比のものであれば、問題はない。

【0032】第1層の配線層71との導通はWプラグを用いる。すなわち、ウェハ1全面に密着層となるTiN/Tiを堆積し、次いで埋め込み層となるWを堆積する。W堆積後に全面エッチバックしてスルーホール420のみTiN/TiおよびWを残し、第2層の密着層52、埋め込み層62を形成する。このときスルーホールダミーパターン4201に密着層ダミーパターン521、埋め込み層ダミーパターン621が形成される(図3の(D))。上記のごとく、下層の層間絶縁膜41の上面および配線層ダミーパターン711の内側の側面が露出しているので、密着層ダミーパターン521は層間絶縁膜42の上端から下層の層間絶縁膜41の上面に到る全範囲に形成される。

【0033】そして、第1層の配線層71と同様に、第2層の配線層となるTi、TiN、AlCu、Ti、TiNをこの順に成膜し、これをフォトリソグラフィーおよびエッティングによりバーニングして、AlCu層72bを上下からTiN/Ti層72a、72cではさむ第2層の配線層72を形成する。このバーニングで、回路部11外周の配線層ダミーパターン721を一緒に形成する。配線層ダミーパターン721は、スルーホールダミーパターン4201よりも幅広の枠状で、かつスルーホールダミーパターン4201を全体にカバーする形状とする(図3の(E))。

【0034】次いで、第3層の配線工程を行う。先ず、3種類の酸化膜を順次堆積し、P-TEOS/O<sub>3</sub>-TEOS/P-TEOSからなる層間絶縁膜43を形成し、CMPにより平坦化する(図4の(F))。

【0035】次いで、層間絶縁膜43に第2層の配線層72との導通をとるため、層間絶縁膜43にこれを貫通するスルーホール430を形成する。スルーホール430の形成では、回路部11外周のダミーパターン4301と一緒に形成する。スルーホールダミーパターン4301は回路部11を囲む枠状に形成される。スルーホー

ルダミーパターン4301は、第2層の配線層ダミーパターン721の幅よりもやや狭幅で、その外寸は配線層ダミーパターン721よりも小さくしてあり、配線層ダミーパターン721の外側へはみ出す部分を有している。したがってスルーホールダミーパターン4301を形成するための層間絶縁膜43のエッティングで、下層の層間絶縁膜42の上面および配線層ダミーパターン721の外側の側面が露出する(図4の(G))。

【0036】第2層の配線層72との導通はWプラグを用いる。すなわち、ウェハ1全面に密着層となるTiN/Tiを堆積し、次いで埋め込み層となるWを堆積する。W堆積後に全面エッチバックしてスルーホール430のみTiN/TiおよびWを残し、第3層の密着層53、埋め込み層63を形成する。このときスルーホールダミーパターン4301に密着層ダミーパターン531、埋め込み層ダミーパターン631が形成される(図5の(H))。上記のごとく、下層の層間絶縁膜42の上面および配線層ダミーパターン721の外側の側面が露出しているので、密着層ダミーパターン531は層間絶縁膜43の上端から下層の層間絶縁膜42の上面に到る全範囲に形成される。

【0037】そして、第1層、第2層の配線層71、72と同様に、第3層の配線層となるTi、TiN、AlCu、Ti、TiNをこの順に成膜し、これをフォトリソグラフィーおよびエッティングによりバーニングして、AlCu層73bを上下からTiN/Ti層73a、73cではさむ第3層の配線層73を形成する(図5の(I))。このバーニングで、回路部11外周の配線層ダミーパターン731を一緒に形成する。配線層ダミーパターン731は、スルーホールダミーパターン4301よりも幅広の枠状で、かつスルーホールダミーパターン4301を全体にカバーする形状とする。

【0038】この後、P-SiN等の保護膜8を成膜し、フォトリソグラフィーおよびエッティングにより図示しないポンディングパッド部を開口する。

【0039】このように、特別な工程を追加することなく配線工程における露光マスクの変更のみで図1の半導体装置を製造することができる。

【0040】また、第1層、第2層の層間絶縁膜42、43のスルーホール420、430のバーニングではスルーホールダミーパターン4201、4301に、下層の配線層ダミーパターン711、721の内側または外側にはみ出す部分をつくる必要があるが、本実施形態によれば、片側にのみはみだし部を形成しているのでスルーホールダミーパターン4201、4301、配線層ダミーパターン711、721をそれぞれ最小加工寸法でつくることができる。

【0041】また、第2層の配線工程で、層間絶縁膜42に形成するスルーホールダミーパターン4201を、第1層の配線層ダミーパターン711の内側にはみ出す

部分のみを有するように形成し、第3層の配線工程で、層間絶縁膜43に形成するスルーホールダミーパターン4301を、逆に第2層の配線層ダミーパターン721の外側にはみ出す部分のみを有するように形成するので、平面的にみた場合、3層配線であっても層間絶縁膜分離帯12の幅はあまり拡がらず、省スペースである。勿論、層間絶縁膜分離帯12に十分なスペースを確保することができれば、いずれのスルーホールダミーパターンについても、はみ出し部分が下層の配線層の内側または外側のいずれかのみに形成されるように設定してもよい。

【0042】また、第1層のスルーホールダミーパターン4201の幅を $w_{TH1}$ 、第2層のスルーホールダミーパターン4301の幅を $w_{TH2}$ 、第1層の配線層ダミーパターン711の幅を $w_{AL1}$ 、第2層の配線層ダミーパターン721の幅を $w_{AL2}$ 、第3層の配線層ダミーパターン731の幅を $w_{AL3}$ として、 $w_{AL3} > w_{TH2} > w_{AL2} > w_{TH1} > w_{AL1}$ として、各スルーホールダミーパターン4201、4301に下層の配線層ダミーパターン711、721の内側および外側の両方にはみだし部分を設けることもできる。なお、この場合、スルーホールダミーパターン4201、4301の幅 $w_{TH1}$ 、 $w_{TH2}$ によっては密着層52、53形成後のWの埋め込み性が十分でなくなるおそれがあるので、図6に示すように、スルーホールダミーパターン4201、4301を、下層の配線層ダミーパターン711、721の内側にはみだすパターンと、外側にはみだすパターンとの二重に形成し、各埋め込み層ダミーパターン621、631の幅を減じるのがよい。

【0043】また、ダミーパターンは回路部を囲み枠状に形成しているが別の形状とすることもでき、これを図7に示す。図7は、第1層の配線層71のダミーパターン711、配線層71と第2層の配線層72とを導通するためのスルーホール420のダミーパターン4201のレイアウトで、配線層ダミーパターン711は、上述のごとく回路部11を囲み枠状に形成してあるが、スルーホールダミーパターン4201は回路部11を囲み飛び石状に形成してある。スルーホールダミーパターン4201により形成される埋め込み層ダミーパターン621は飛び石状の形状を与えられ、回路部11の外郭をなしている。

【0044】この場合も、図のように、スルーホールダミーパターン4201の内寸を図例のように下層の配線層ダミーパターン711よりも小さくして全体に回路部11側に寄せるかまたは外寸を配線層ダミーパターン711よりも大きくして全体に回路部11側から遠ざけることでスルーホールダミーパターン4201に配線層ダミーパターン711の内側または外側にはみ出す部分を設けて水分を確実にブロックする密着層ダミーパターン521を形成することができる。なお、図示されないコ

ンタクトホールダミーパターン4101、スルーホールダミーパターン4301も同様に飛び石状に形成することができます。

【0045】この変形例では、ダミーパターン4201の、飛び石状に配された孔パターン部分42011同志の間隔がプロセス条件の許す限りなるべく狭くなるように、例えば最小加工寸法でダミーパターン4201を形成するのがよい。また、各孔パターン部分42011も最小加工寸法にて形成することができる。

【0046】また、配線層ダミーパターン711は、スルーホールダミーパターン4201の孔パターン部分42011位置をカバーしていれば、同様に飛び石状に形成することもできる。

【0047】(第2実施形態) 図8、図9により、本発明の第2実施形態になる半導体装置およびその製造方法を説明する。図中、図1～図5と同じ番号を付した部分は実質的に第1実施形態と同じ作動をするので、第1実施形態との相違点を中心に説明する。

【0048】図8において、第1層の層間絶縁膜41および第1層の配線層71と、第2層の層間絶縁膜42との間には、全面に保護膜8と同じP-SiNにより別の保護膜8Aが形成してある。拡散層201、202と第1層の配線層71との導通をとるためのスルーホール420は、第2層の層間絶縁膜42、別の保護膜8Aを貫通して形成してある。

【0049】なお、スルーホールダミーパターン4201、4301は、全体が下層の配線層71、72上に形成され、配線層71、72からはみ出る部分は非形成である。

【0050】かかる構成によれば、上記別の保護膜8Aが第1層の配線層71から下をカバーし、配線層ダミーパターン711の上面および側面も被覆している。また、層間絶縁膜分離帯12は、第1層の密着層ダミーパターン511がSi基板2の上面から上記配線層71の上層の層間絶縁膜42の下面に到る範囲に形成され、回路部11を囲むバリアとなっているから、素子部111は水分等に対して保護されている。

【0051】次に製造方法について説明する。第1実施形態と同様に素子部111の形成後、第1層の層間絶縁膜41を堆積し、コンタクトホール410内に密着層51および埋め込み層61を形成し、第1層の配線層71を形成する(図9の(A))。

【0052】次いで、配線層71の上層にP-SiNを成膜し、別の保護膜8Aを形成する(図9の(B))。

【0053】この後、第1実施形態と基本的に同じ工程を経て図8となる。なお、スルーホール420、430、配線層72、73の平面形状が第1実施形態と異なるので、そのための露光マスクのみが第1実施形態と相違する。

【0054】なお、本実施形態では、別の保護膜は第1

層の配線層の上層に形成しているが、最上層に到る途中の層の配線層の上層であればよい。この場合は、層間絶縁膜分離帯のうち、最下層の層間絶縁膜から、別の保護膜の下層の層間絶縁膜に到る範囲に、第1実施形態のごとく、層間絶縁膜を回路部側とスクライブライン側とに分離する密着層ダミーパターンを形成する。

【図0055】また、別の保護膜8Aより上層側も第1実施形態のように接続孔ダミーパターンを形成して密着層ダミーパターンを表面保護膜に到るまで配置するようにしても勿論よい。

#### 【図面の簡単な説明】

【図1】(A)は本発明の半導体装置の断面図であり、(B)は本発明の半導体装置の上面図である。

【図2】(A), (B), (C)は上記半導体装置の製造過程における第1、第2、第3のウェハの断面図である。

【図3】(D), (E)は上記半導体装置の製造過程における第4、第5のウェハの断面図である。

【図4】(F), (G)は上記半導体装置の製造過程における第6、第7のウェハの断面図である。

【図5】(H), (I)は上記半導体装置の製造過程における第8、第9のウェハの断面図である。

【図6】本発明の半導体装置の変形例の断面図である。

【図7】本発明の半導体装置の別の変形例のレイアウト図である。

【図8】本発明の別の半導体装置の断面図である。

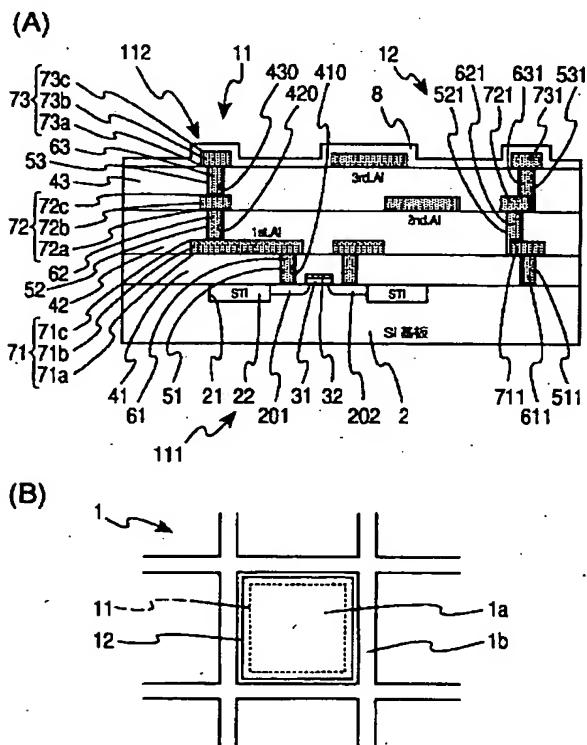
【図9】(A), (B)は上記半導体装置の製造過程における第1、第2のウェハの断面図である。

【図10】従来の半導体装置の代表例の断面図である。

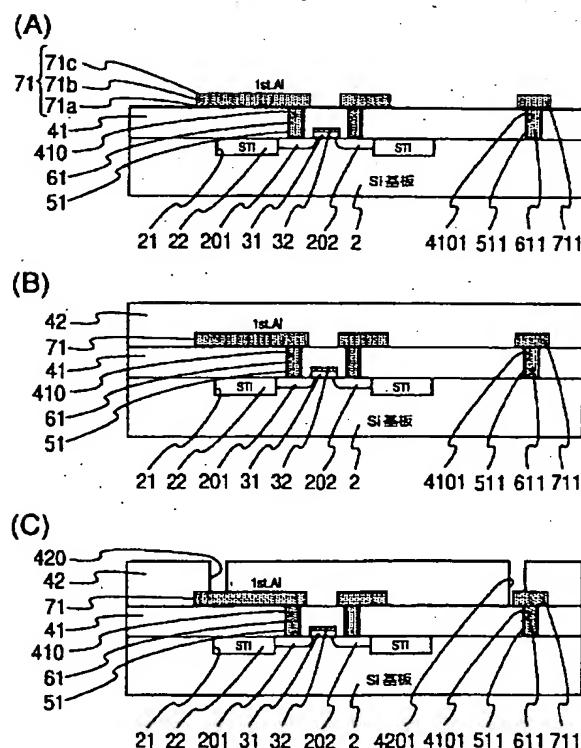
#### 【符号の説明】

- 1 ウェハ
- 1 a チップ
- 1 1 回路部
- 1 1 1 素子部
- 1 1 2 配線部
- 1 2 層間絶縁層分離帯
- 1 b スクライブライン
- 2 Si基板(半導体基板)
- 4 1, 4 2, 4 3 層間絶縁膜
- 4 1 0 コンタクトホール(接続孔)
- 4 2 0, 4 3 0 スルーホール(接続孔)
- 4 1 0 1, 4 2 0 1, 4 3 0 1 ダミーパターン
- 5 1, 5 2, 5 3 密着層
- 5 1 1, 5 2 1, 5 3 1 ダミーパターン
- 6 1, 6 2, 6 3 埋め込み層
- 6 1 1, 6 2 1, 6 3 1 ダミーパターン
- 7 1, 7 2, 7 3 配線層
- 7 1 1, 7 2 1, 7 3 1 ダミーパターン
- 8 保護膜
- 8 A 別の保護膜

【図1】

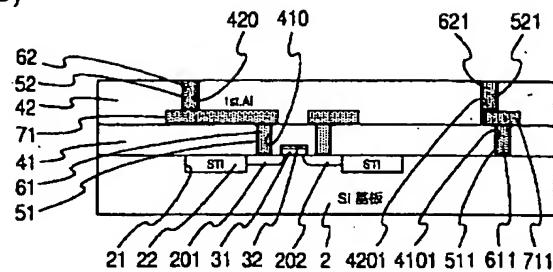


【図2】



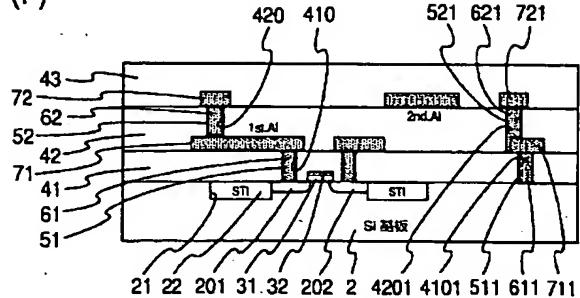
【図3】

(D)

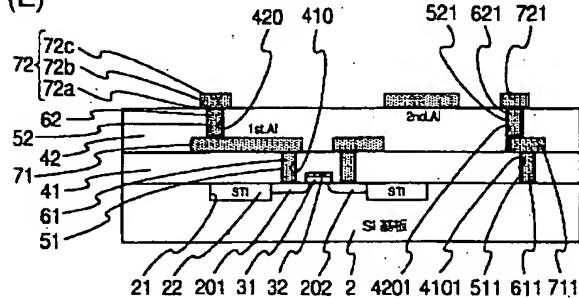


【図4】

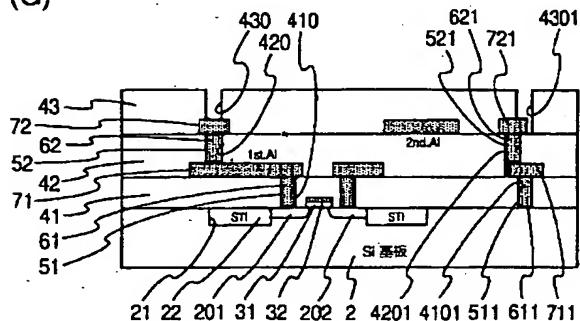
(F)



(E)

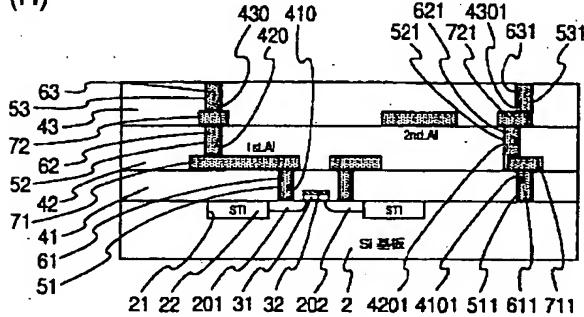


(G)

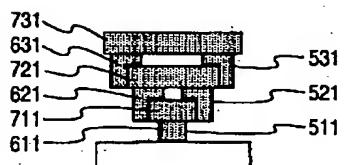


【図5】

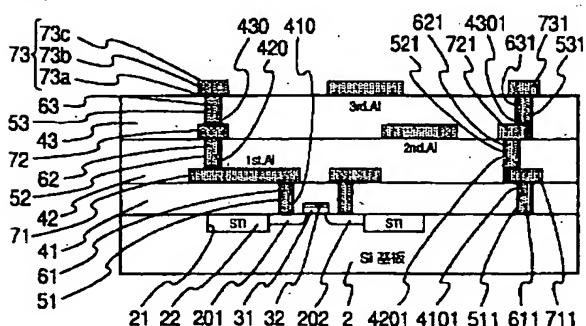
(H)



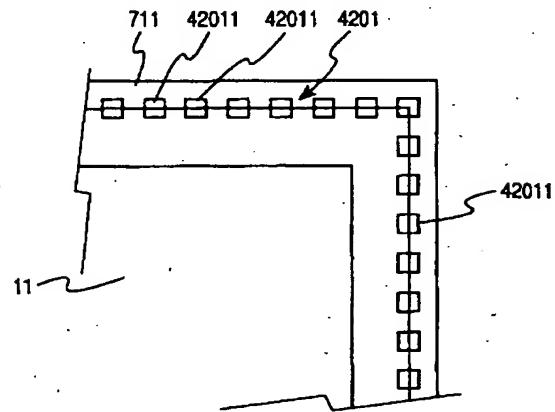
【図6】



(I)

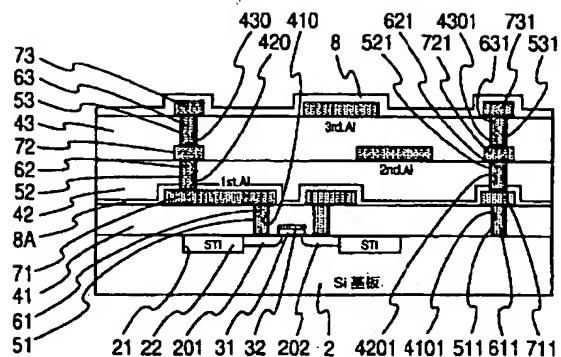


【図7】

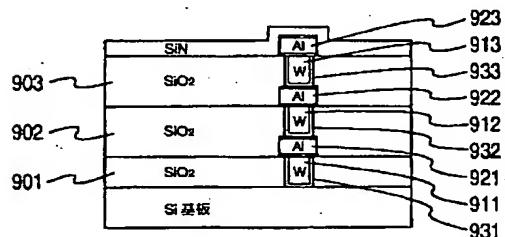


(9) 開2001-53148 (P2001-531JL)

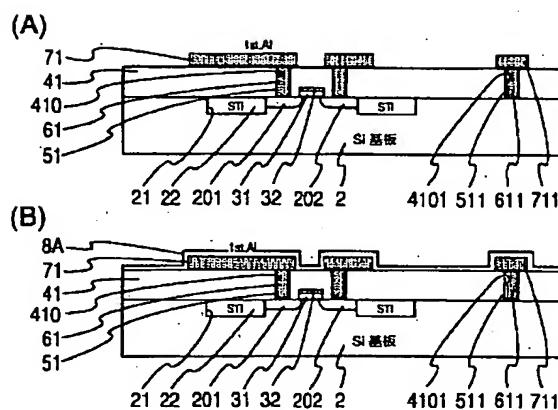
【図8】



【図10】



【図9】



フロントページの続き

Fターム(参考) 5F033 HH09 HH18 HH33 JJ18 JJ19  
JJ33 KK09 KK18 KK33 MM05  
MM08 MM13 NN06 NN07 NN29  
NN37 QQ31 QQ37 QQ48 RR04  
SS04 SS15 TT01 VV01 XX17  
XX18